

FEATURES

- 沟槽功率 MOSFET 技术
- 低源-源道通电阻:
 - $R_{SS(on)type} = 2.2m\Omega @ V_{GS} = 4.5V$
- 共漏极的 N+N 器件
- 漏极散热盘, 降低热阻
- 塑封成品, 简化生产加工
- **PLP 封装尺寸: 3.5mm X 2.5mm**

APPLICATIONS

- 电子烟、蓝牙耳机、GPS/北斗便携设备
- 手机、平板电脑、电动工具
- TYPE-C/QC 快充
- 大容量锂电池的备用电源

GENERAL DESCRIPTION

OSM002 是一款应用于锂电池二次保护的双 N 沟道 MOSFET, 采用 Trench 工艺实现。

OSM002 在栅源电压 4.5V 时可实现 $2.2m\Omega$ 的源-源导通阻抗, 极大的解决了手机快充电池的充放电问题。

OSM002 源-源端的关断 BV 电压可实现最大 $\pm 18V$ 的典型耐压要求, 增强了电池保护系统的可靠性。

OSM002 采用 $3.5mm \times 2.5mm$ 的 PLP 封装, 端口采用宽体 PAD, 提高了 MOS 的焊接, 并增强了 MOS 散热特性。

VIEW AND INTERNAL SCHEMATIC DIAGRAM

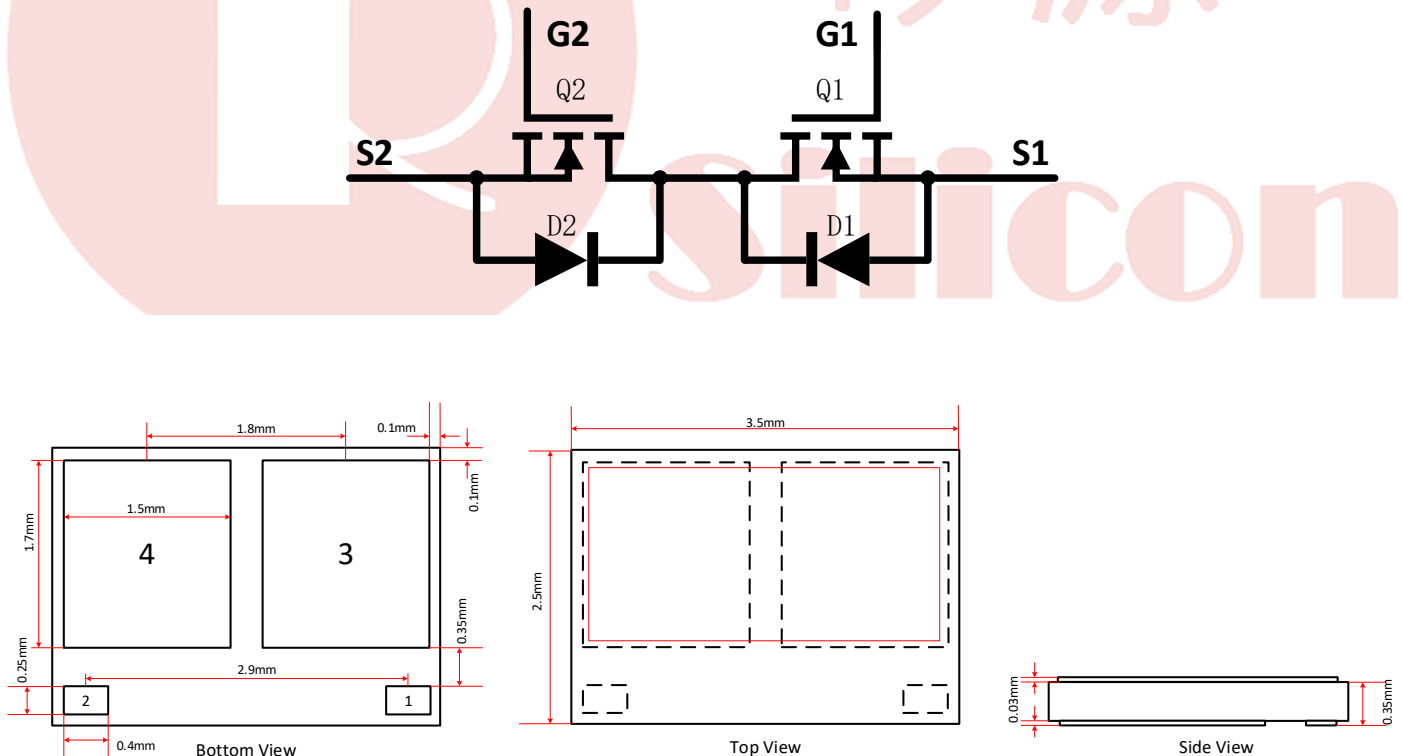


Figure 1. View and Internal Schematic Diagram

SPECIFICATIONS

Table 1. Typical and limits appearing in normal type apply for T_A = 25°C, unless otherwise noted.

Parameter	Symbol	Conditions	Min	Typ	Max	Unit
Static Parameters						
Source-Source Breakdown Voltage	BV _{DSS}	V _{GS} =0V, I _{SS} =250μA	15			V
Zero Gate Voltage Drain Current	I _{DSS}	V _{DSS} =12V, V _{GS} =0V		0.005	1	μA
Gate-Body leakage current	I _{GSS}	V _{DSS} =0V, V _{GS} =± 12V		0.003	±0.1	μA
		V _{DSS} =0V, V _{GS} =± 5V			±0.01	μA
Gate Threshold Voltage	V _{GS(TH)}	V _{DSS} = V _{GS} , I _{SS} =250μA	0.4	0.65	0.95	V
		V _{DSS} =10V, I _{SS} =1.1mA	0.4	0.65	0.95	V
Static Drain-Source On-Resistance	R _{SS(ON)}	V _{GS} =4.5V, I _{SS} =6A		2.2	2.9	mΩ
		V _{GS} =3.8V, I _{SS} =6A		2.3	3.1	mΩ
		V _{GS} =3.1V, I _{SS} =6A		2.6	3.6	mΩ
		V _{GS} =2.5V, I _{SS} =6A		3.1	4.4	mΩ
Diode Forward Voltage	V _{FSS}	V _{GS} =0V, I _F =1A		0.7		V
Dynamic Parameters						
Input Capacitance* ¹	C _{ISS}	V _{GS} =0V, V _{DSS} =10V, f=100KHz		3850		pF
Output Capacitance* ¹	C _{OSS}			480		pF
Reverse Transfer Capacitance* ¹	C _{RSS}			430		pF
Switching Parameters						
Total Gate Charge* ¹	Q _g	V _{GS} =0 to 4V, V _{DSS} =6V, I _{SS} =6A		30		nC
Gate Source Charge* ¹	Q _{gs}			15		nC
Gate Drain Charge* ¹	Q _{gd}			8		nC
Turn-On Delay Time* ^{1,2}	t _{D(ON)}	V _{GS} =4V, V _{DSS} =6V, R _L =1Ω,R _{GEN} =50Ω		800		ns
Turn-On Rise Time* ^{1,2}	t _r			460		ns
Turn-Off Delay Time* ^{1,2}	t _{D(OFF)}			1300		ns
Turn-Off Fall Time* ^{1,2}	t _f			330		ns

Note: 1. 参数由设计保证
2. 测量修正。

ABSOLUTE MAXIMUM RATINGS

Table 2.

Parameter	Rating
VDSS(ON)	±15V
VGS	±12V
ISS(DC)	20A
ISS(Pulse)	100A
Storage Temperature Range	−65°C to +150°C
Operating Junction Temperature Range	−40°C to +125°C
Operating Ambient Temperature Range	−40°C to +85°C
Soldering Conditions	JEDEC J-STD-020

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定应力值, 不涉及器件在这些或任何其他条件下超出本技术规格指标的功能性操作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

THERMAL DATA

绝对最大额定值仅适合单独应用, 但不适合组合使用。结温高于限制值时, 会损坏芯片。监控环境温度并不能保证 T_J 不会超出额定温度限值。在功耗高、热阻差的应用中, 可能必须降低最大环境温度。

在功耗适中、PCB 热阻较低的应用中, 只要结温处于额定限值以内, 最大环境温度可以超过最大限值。器件的结温 (T_J) 取决于环境温度 (T_A)、器件的功耗 (P_D) 和封装的结到环境热阻 (θ_{JA})。

最高结温 (T_J) 由环境温度 (T_A) 和功耗 (P_D) 通过下式计算:

$$T_J = T_A + (P_D \times \theta_{JA})$$

封装的结到环境热阻 (θ_{JA}) 基于使用 4 层板的建模和计算方法, 主要取决于应用和板布局。在功耗较高的应用中, 需

要特别注意热板设计。 θ_{JA} 的值可能随 PCB 材料、布局和环境条件不同而异。 θ_{JA} 的额定值基于 4" × 3" 的 4 层电路板。有关板结构的详细信息, 请参考 JESD 51-7 和 JESD 51-9。

Ψ_{JB} 是结到板热特性参数, 单位为 °C/W。封装的 Ψ_{JB} 基于使用 4 层板的建模和计算方法。JESD51-12——“报告和使用电子封装热信息指南”中声明, 热特性参数和热阻不是一回事。 Ψ_{JB} 衡量沿多条热路径流动的器件功率, 而 θ_{JB} 只涉及一条路径。因此, Ψ_{JB} 热路径包括来自封装顶部的对流和封装的辐射, 这些因素使得 Ψ_{JB} 在现实应用中更有用。最高结温 (T_J) 由板温度 (T_B) 和功耗 (P_D) 通过下式计算:

$$T_J = T_B + (P_D \times \Psi_{JB})$$

有关 Ψ_{JB} 的详细信息, 请参考 JESD51-8 和 JESD51-12。

THERMAL RESISTANCE

θ_{JA} 和 Ψ_{JB} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

Table 3. Thermal Resistance

Package Type	θ_{JA}	θ_{JC}	Unit
PLP	1		°C/W

ESD CAUTION



ESD (electrostatic discharge) sensitive device. Charged devices and circuit boards can discharge without detection. Although this product features patented or proprietary protection circuitry, damage may occur on devices subjected to high energy ESD. Therefore, proper ESD precautions should be taken to avoid performance degradation or loss of functionality.

PIN CONFIGURATION AND FUNCTION DESCRIPTIONS

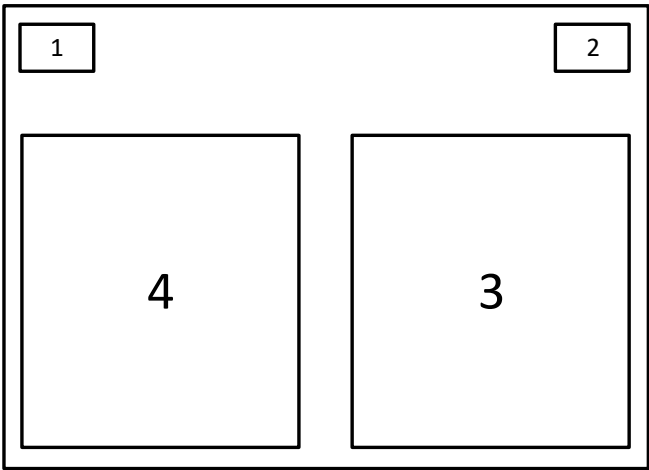


Figure 2. Pin Configuration (Bottom View)

Table 4. Pin Function Descriptions

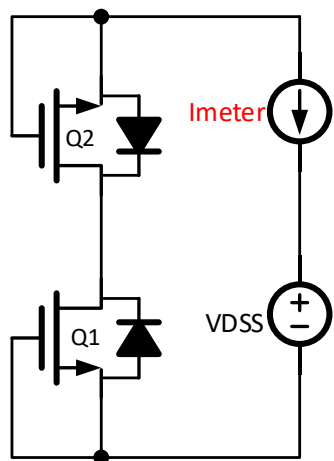
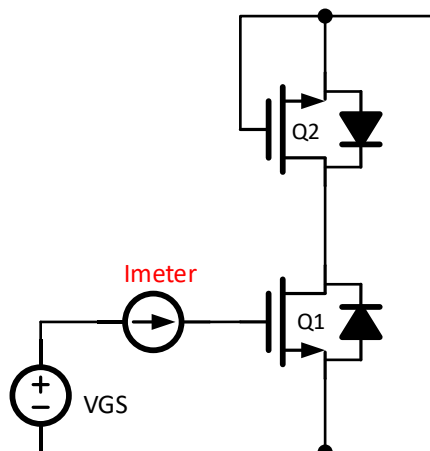
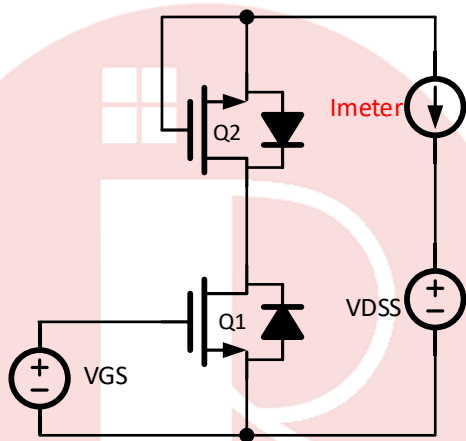
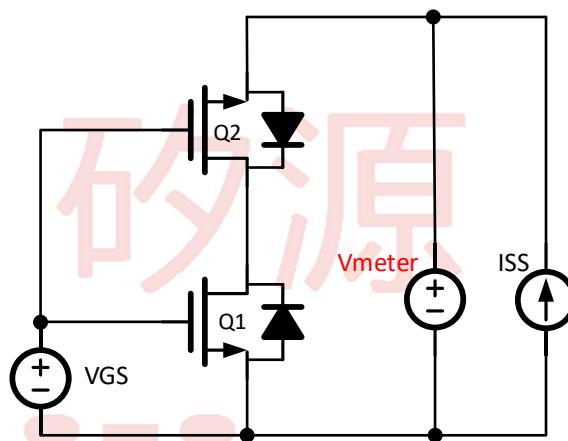
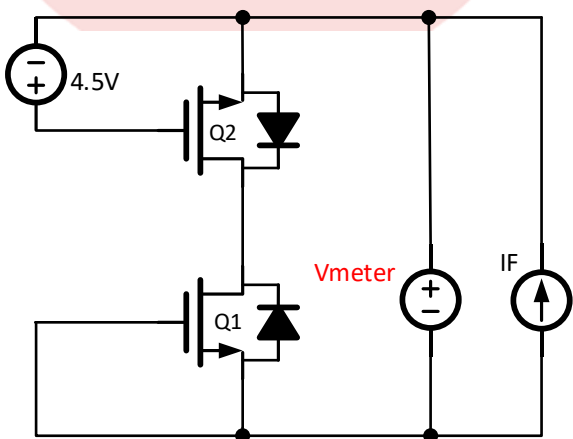
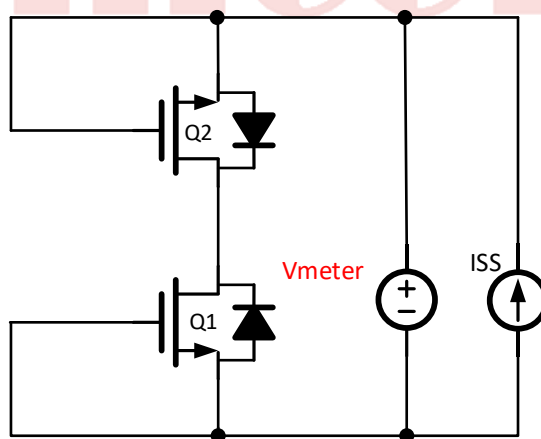
Pin No.	Mnemonic	Description
1	G1	MOSFET1 Gate
2	G2	MOSFET2 Gate
3	S2	MOSFET2 Source
4	S1	MOSFET1 Source

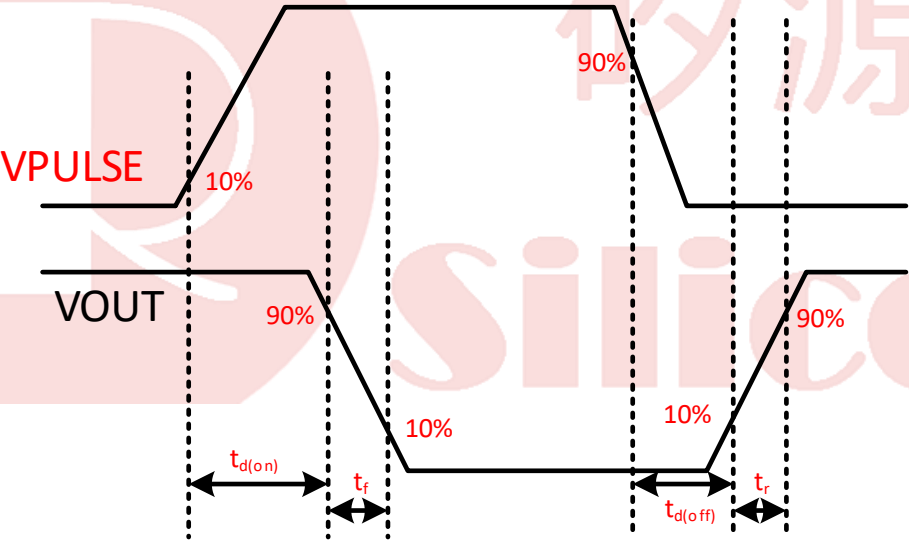
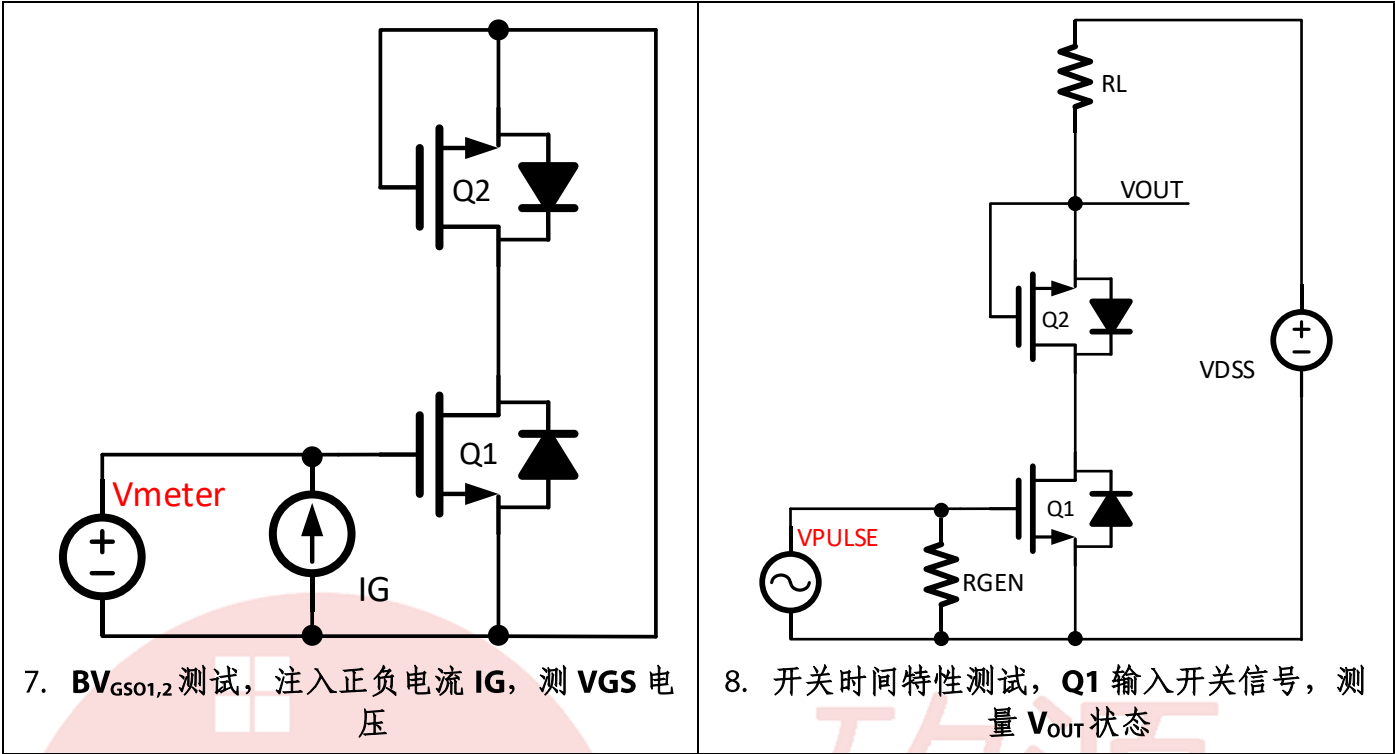


- 1. • = PIN1
- 2. OSM002 = Device Name
- 3. Y = Year
- 4. M = Month
- 5. LLL = Trace No

Figure 3. Marking View

TEST CIRCUIT

1. I_{SSS} 测试, V_{SS} 正压测 I_{SSS+} , V_{SS} 负压测 I_{SSS-} .2. $I_{GSS1,2}$ 测试, V_{GS} 正压测 I_{GSS+} , V_{GS} 负压测 I_{GSS-} .3. $V_{GS(off)}$ 测试, 测 Q1 时, Q2 的 G 和 S 短接4. $R_{SS(ON)}$ 测试, 注入 I_{SS} 电流, 测电压并计算
 $R_{SS(ON)} = V_{SS}/I_{SS}$ 5. $V_{F(SS)1,2}$ 测试, 注入 I_F 电流, 测 Q1 时, Q2 的 $V_{GS}=4.5V$ 6. BV_{DSS} 测试, 注入正负 I_{SS} 电流, 测量 V_{SS} 电压



$R_L=1\Omega$, $V_{DSS}=6V$, $R_{GEN}=50\Omega$, 脉冲幅度 $0V\sim 4V$

OUTLINE DIMENSIONS

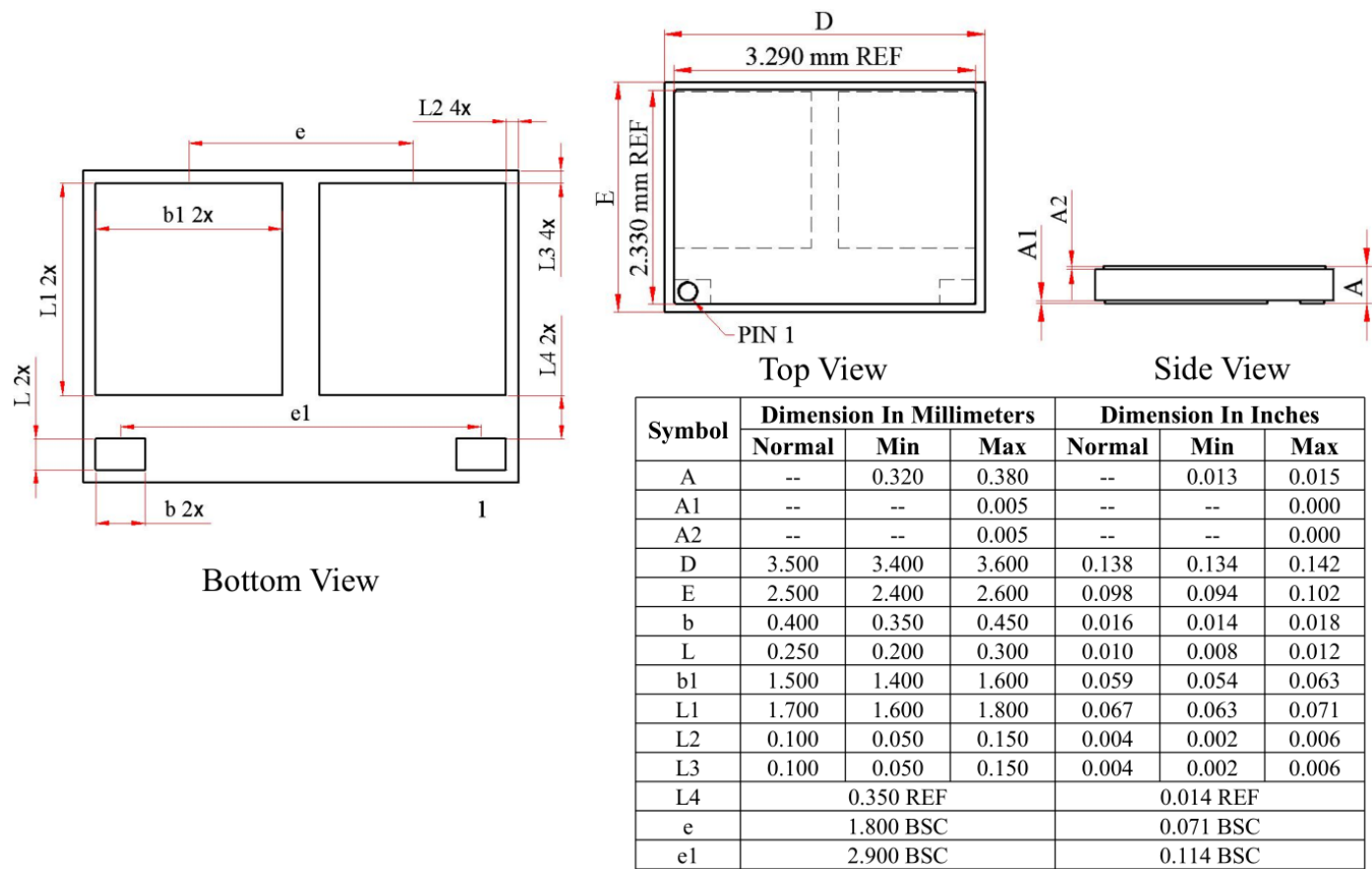


Figure 15. Package Level Package [PLP]

版本说明

版本	改动页码	改动图片	改动内容	改动公式	备注
1.0					initial
1.3			电参数部分调整		